

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : **Hiroaki OHKUBO, et al.**
Filed : **Concurrently herewith**
For : **SEMICONDUCTOR INTEGRATED....**
Serial No. : **Concurrently herewith**

October 29, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-318910** filed **October 31, 2002**, a copy of which is enclosed.

Respectfully submitted,



Michael I. Markowitz
Reg. No. 30,659

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NECF 20.702

05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 8 9 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 8 9 1 0]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 8 8 3 2

【書類名】 特許願

【整理番号】 74112748

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体集積回路及びその半導体基板

【請求項の数】 10

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 大窪 宏明

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 菊池 浩昌

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 富留宮 正之

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山本 良太

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中柴 康隆

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】**【予納台帳番号】** 009782**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9715181**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びその半導体基板

【特許請求の範囲】

【請求項 1】 支持基板と、この支持基板上の全面に形成され前記支持基板よりも抵抗率が低い半導体層と、この半導体層に相互に電氣的に分離されて形成された第 1 及び第 2 の回路部と、を有することを特徴とする半導体集積回路。

【請求項 2】 前記支持基板の抵抗率が前記半導体層の抵抗率の 2 0 倍以上であることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記支持基板の抵抗率が前記半導体層の抵抗率の 5 0 倍以上であることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 前記半導体層が前記支持基板上にエピタキシャル成長により形成されたものであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路。

【請求項 5】 前記第 1 の回路部にデジタル回路が形成されており、前記第 2 の回路部にアナログ回路が形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 6】 表面に第 1 及び第 2 の回路部が形成されて半導体集積回路を形成する半導体基板において、支持基板と、この支持基板上の全面に形成され前記支持基板よりも抵抗率が低く表面に前記第 1 及び第 2 の回路部が相互に電氣的に分離されて形成される半導体層と、を有することを特徴とする半導体基板。

【請求項 7】 前記支持基板の抵抗率が前記半導体層の抵抗率の 2 0 倍以上であることを特徴とする請求項 6 に記載の半導体基板。

【請求項 8】 前記支持基板の抵抗率が前記半導体層の抵抗率の 5 0 倍以上であることを特徴とする請求項 7 に記載の半導体基板。

【請求項 9】 前記半導体層が前記支持基板上にエピタキシャル成長により形成されたものであることを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の半導体基板。

【請求項 1 0】 前記第 1 の回路部にデジタル回路が形成され、前記第 2 の回路部にアナログ回路が形成されることを特徴とする請求項 6 乃至 9 のいずれか

1 項に記載の半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ノイズが基板を伝達することを抑制した半導体集積回路及びその半導体基板に関する。

【0002】

【従来の技術】

従来より、同一基板上にアナログ回路及びデジタル回路を形成するアナログ／デジタル混在型集積回路が開発されている。このアナログ／デジタル混在型集積回路においては、デジタル回路の動作に伴って発生する雑音（ノイズ）が、基板を介してアナログ回路に到達し、アナログ回路が誤動作するという問題がある。また、アナログ回路が大振幅の信号を出力する場合には、このアナログ回路の動作に伴うノイズにより、デジタル回路が誤動作する場合もある。

【0003】

図3は従来のアナログ／デジタル混在型集積回路を示す断面図である。図3に示すように、この従来の集積回路においては、抵抗率が例えば $10\Omega\cdot\text{cm}$ であるP型半導体基板101が設けられており、このP型半導体基板101の表面に、デジタル部102及びアナログ部103が設けられている。デジタル部102にはデジタル回路が形成されており、アナログ部103にはアナログ回路が形成されている。図3においては、デジタル回路の一部として p^+ 拡散層102aを図示し、アナログ回路の一部として p^+ 拡散層103aを図示している。デジタル回路の p^+ 拡散層102aにおいては発生したノイズ104は、P型半導体基板101内を伝達し、アナログ回路の p^+ 拡散層103aに到達する。この結果、アナログ回路において誤動作が発生する。

【0004】

この問題点を解決するために、アナログ／デジタル混在型集積回路の半導体基板として、SOI（Silicon On Insulator）構造基板を使用することが考えられる。SOI構造基板においては、基板上に埋込絶縁膜が設けられ、この埋込絶縁

膜上に半導体層が設けられており、基板と半導体層とが埋込絶縁膜により分離されている。このため、低周波ノイズが半導体層から基板に伝達することを抑制することができ、この結果、低周波ノイズが基板を介してデジタル部とアナログ部との間を伝達することを抑制できる。

【0005】

しかし、SOI構造基板の埋込絶縁膜は薄く、基板と半導体層との間が容量結合されるため、デジタルモジュールが発生する比較的周波数が高い高周波ノイズについては、十分に遮断することができない。また、SOI構造基板を作製するためには、埋込絶縁膜を形成するための特殊なプロセスを必要とするため、コストが高くなり経済的に不利であるという問題もある。

【0006】

このため、基板として抵抗が高い基板（以下、高抵抗基板という）を使用し、この高抵抗基板の表面に集積回路を形成する技術が開示されている（例えば、特許文献1参照）。図4（a）及び（b）はこの従来のアナログ／デジタル混在型集積回路を示す平面図及び断面図である。図4（a）及び（b）に示すように、この従来の集積回路においては、P型の高抵抗基板111が設けられている。そして、この高抵抗基板111の表面に、nウエル112及び113が相互に離隔して形成されており、nウエル112の表面にpウエル114が形成されている。そして、pウエル114の表面にアナログ回路領域115が設けられており、nウエル113の表面にデジタル回路領域116が設けられている。このアナログ／デジタル混在型集積回路においては、基板として高抵抗基板111を使用しているため、アナログ回路領域115とデジタル回路領域116との間の基板内におけるノイズの伝達を抑制することができる。

【0007】

また、基板として通常の半導体基板を使用し、この半導体基板上に高抵抗な半導体層を設け、この高抵抗な半導体層の表面に、相互に離隔してデジタル回路及びアナログ回路を形成する技術も開示されている（例えば、特許文献2参照）。また、この従来の技術においては、デジタル回路とアナログ回路との間に相当する領域における半導体基板の表面に、ノイズ障壁用ウエルを設けている。この従

来の技術においては、半導体層の抵抗を高くし、ノイズ障壁用ウエルを設けることにより、ノイズの伝達を抑制することができると記載されている。

【0008】

【特許文献1】

特開 2001-345428号公報（図1（a）及び（b））

【特許文献2】

特開 2002-134702号公報（図1）

【0009】

【発明が解決しようとする課題】

しかしながら、上述の従来の技術には、以下に示すような問題点がある。特許文献1に記載の技術においては、高抵抗基板の表面に直接素子を作り込んで集積回路を形成している。また、特許文献2に記載の技術においては、高抵抗半導体層の表面に素子を作り込んで集積回路を形成している。このため、通常の半導体基板の表面に集積回路を形成する技術をそのまま適用することができず、イオン注入条件及びウエルの不純物濃度等のプロセス条件を変更する必要がある。即ち、従来のデバイス・プロセスのプラットフォームを変更する必要がある。従って、特許文献1及び2に記載されたアナログ／デジタル混在型集積回路を実際に製造しようとする、新たにプロセス及び製造ラインの開発を行う必要があり、多大なコスト及び時間が必要となる。

【0010】

本発明はかかる問題点に鑑みてなされたものであって、従来のデバイス・プロセスのプラットフォームをそのまま使用して製造でき、基板を伝達するノイズを低減できる半導体集積回路及びその半導体基板を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明に係る半導体集積回路は、支持基板と、この支持基板上の全面に形成され前記支持基板よりも抵抗率が低い半導体層と、この半導体層に相互に電氣的に分離されて形成された第1及び第2の回路部と、を有することを特徴とする。

【0012】

本発明においては、半導体層の抵抗率を従来の半導体基板の抵抗率と同等なものとするにより、第1及び第2の回路部を形成する際に、従来のプロセス条件をそのまま適用することができる。また、半導体層において第1の回路部と第2の回路部とは相互に電氣的に分離されているため、半導体層内をノイズが伝達することを抑制できる。更に、この半導体層よりも抵抗率が高い支持基板を使用することにより、基板内におけるノイズの伝達を抑制することができる。これにより、従来のデバイス・プロセスのプラットフォームを変更する必要がなく、新たなプロセス及び製造ラインの開発を必要としないためコストが低く、ノイズによる誤動作を防止できる半導体集積回路を得ることができる。なお、支持基板とは所定の剛性及び強度を有し、それ自体で自立できる基板をいう。

【0013】

また、前記支持基板の抵抗率が前記半導体層の抵抗率の20倍以上であることが好ましく、50倍以上であることがより好ましい。これにより、半導体層の抵抗率を従来のデバイス・プロセスのプラットフォームを使用できるような範囲に維持したまま、支持基板を流れるノイズ電流をより効果的に抑制できる。

【0014】

更に、前記半導体層が前記支持基板上にエピタキシャル成長により形成されたものであることが好ましい。これにより、容易に支持基板上の全面に半導体層を形成することができる。

【0015】

更にまた、前記第1の回路部にデジタル回路が形成されており、前記第2の回路部にアナログ回路が形成されていてもよい。これにより、デジタル回路の駆動に伴う高周波ノイズが、アナログ回路の動作に影響を及ぼすことを防止できる。

【0016】

本発明に係る半導体基板は、表面に第1及び第2の回路部が形成されて半導体集積回路を形成する半導体基板において、支持基板と、この支持基板上の全面に形成され前記支持基板よりも抵抗率が低く表面に前記第1及び第2の回路部が相互に電氣的に分離されて形成される半導体層と、を有することを特徴とする。

【0017】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本実施形態に係る半導体集積回路を示す断面図である。図1に示すように、本実施形態の半導体集積回路1は、アナログ／デジタル混在型集積回路である。この半導体集積回路1においては、P型バルク基板2が設けられている。P型バルク基板2は例えばシリコン基板であり、厚さは例えば0.7mmであり、抵抗率は例えば $1000\ \Omega \cdot \text{cm}$ である。このP型バルク基板2上の全面には、P型エピタキシャル層3が形成されている。P型エピタキシャル層3は例えば、シラン系の原料ガスを使用するCVD法（Chemical Vapor Deposition法：化学気相成長法）により、P型シリコン層をエピタキシャル成長させることにより形成されている。P型エピタキシャル層3の厚さは例えば $5\ \mu\text{m}$ であり、抵抗率は従来の半導体基板の抵抗率と略等しく、例えば $10\ \Omega \cdot \text{cm}$ である。P型バルク基板2の不純物濃度は、P型エピタキシャル層3の不純物濃度の例えば100分の1以下である。P型バルク基板2及びP型エピタキシャル層3により、本実施形態に係る半導体基板4が構成されている。

【0018】

そして、P型エピタキシャル層3の表面には、デジタル回路が形成されるデジタル部5が設けられており、このデジタル部5から離隔して、アナログ回路が形成されるアナログ部6が設けられている。デジタル回路及びアナログ回路は例えばCMOS等の素子が形成された集積回路である。なお、図1においては、デジタル回路及びアナログ回路として夫々1個の p^+ 拡散層5a及び6aのみを示している。なお、P型エピタキシャル層3におけるデジタル部5とアナログ部6との間の領域には、P型バルク基板2まで到達する素子分離領域7が設けられている。

【0019】

以下、本発明の構成要件における数値限定理由について説明する。

【0020】

支持基板の抵抗率：半導体層の抵抗率の20倍以上

本発明の半導体集積回路は、従来の半導体集積回路のプロセス条件をそのまま

使用して作製するため、半導体層の抵抗率は、従来の半導体基板の抵抗率に略一致させることが必要である。そして、支持基板の抵抗率は、ノイズが支持基板内を伝達することを防止するために、可及的に高くすることが好ましい。支持基板の抵抗率を半導体層の抵抗率の 20 倍以上とすれば、半導体層の抵抗率を従来のプロセス条件が使用できるような値としたまま、支持基板の抵抗率を十分に高くすることができ、ノイズの伝達を確実に防止することができる。従って、支持基板の抵抗率は半導体層の抵抗率の 20 倍以上であることが好ましい。より好ましくは 50 倍以上である。

【0021】

次に、本実施形態に係る半導体集積回路 1 の動作について説明する。デジタル部 5 のデジタル回路が動作すると、この動作に伴って例えば p^+ 拡散層 5a からノイズ 8 が発生する。しかしながら、P 型バルク基板 2 の抵抗率は例えば $1000\ \Omega \cdot \text{cm}$ と十分に高いため、ノイズ 8 が P 型バルク基板 2 内を伝達してアナログ部 6 に到達することがない。このため、ノイズ 8 に起因してアナログ部 6 のアナログ回路が誤動作することがない。また、アナログ回路が、振幅が大きい信号を出力する場合には、この出力に伴って p^+ 拡散層 6a からノイズが発生するが、P 型バルク基板 2 は高抵抗であるため、このノイズが P 型バルク基板 2 を伝達してデジタル部 5 に到達することがない。このため、このノイズによりデジタル回路が誤動作することがない。更に、P 型エピタキシャル層 3 におけるデジタル部 5 とアナログ部 6 との間の領域に P 型バルク基板 2 まで到達する素子分離領域 7 が設けられているため、デジタル部 5 とアナログ部 6 とは相互に電氣的に分離されている。このため、P 型エピタキシャル層 3 内をノイズ 8 が伝達することも抑制できる。

【0022】

このように、本実施形態においては、P 型バルク基板 2 を高抵抗とすることにより、デジタル部 5 とアナログ部 6 との間でノイズが伝達することを抑制できる。また、P 型エピタキシャル層 3 は従来の半導体基板と同等な抵抗率を有しているため、デジタル回路及びアナログ回路を作製する際に、イオン注入条件及びウエル濃度等のプロセス条件を、従来のプロセス条件と同じ条件とすることができ

る。このため、従来のデバイス・プラットフォームを変更する必要がなく、半導体集積回路 1 を製造するために、新たにプロセス条件を開発したり、製造ラインを開発又は調整したりする必要がない。従って、これらの開発及び調節のための時間が不要となり、半導体集積回路 1 を低コスト且つ短時間で製造することができる。

【0023】

なお、本実施形態においては、支持基板として P 型シリコンからなる P 型バルク基板 2 を使用する例を示したが、本発明はこれに限定されず、支持基板は半導体層よりも抵抗率が高ければよく、例えば、N 型のシリコン基板であってもよく、シリコン以外の半導体材料からなる基板であってもよく、ガラス等の絶縁材料からなる基板であってもよい。また、半導体層として CVD 法により P 型エピタキシャル層 3 を形成する例を示したが、本発明はこれに限定されず、例えば P 型バルク基板 2 の表面の全面にイオン注入を行って、P 型バルク基板 2 よりも抵抗率が低い半導体層を形成してもよい。更に、デジタル回路及びアナログ回路として、種々の回路を形成することができる。更にまた、本発明は、デジタル回路間のノイズの伝達及びアナログ回路間のノイズの伝達を抑制するためにも有効である。

【0024】

【実施例】

以下、本発明の効果について、その特許請求の範囲から外れる比較例と比較して具体的に説明する。図 2 は横軸に支持基板の抵抗率をとり、縦軸にこの支持基板内におけるノイズの伝播特性をとって、支持基板の抵抗率がノイズの伝播に及ぼす影響を示すグラフ図である。前述の実施形態に示すような半導体集積回路を複数個作製した。このとき、これらの複数の半導体集積回路において、P 型バルク基板の抵抗率を相互に異ならせて、支持基板の抵抗率がノイズの伝達に及ぼす影響を調査した。なお、P 型バルク基板の厚さは 0.7 mm とし、P 型エピタキシャル層の厚さは 5 μ m とし、その抵抗率は 10 $\Omega \cdot \text{cm}$ とした。そして、P 型エピタキシャル層における相互に 20 μ m 離れた 2 ヶ所の領域に P 型拡散層を形成し、この P 型拡散層間のノイズ伝播特性を測定した。測定モードは S21 とし

た。

【0025】

図2に示すように、支持基板としてのP型バルク基板の抵抗率が高いほど、P型拡散層間のノイズの伝播量が減少した。実用的には、例えば、ノイズ伝播特性は約 -40 dB ($1/100$) 以下であることが好ましい。従って、図2に示すように、P型エピタキシャル層の抵抗率が $10\ \Omega \cdot \text{cm}$ である場合、P型バルク基板（支持基板）の抵抗率が $1000\ \Omega \cdot \text{cm}$ であれば、ノイズ伝播特性は -60 dB となり、実用上十分な程度にノイズの伝播を抑制できる。

【0026】

【発明の効果】

以上詳述したように、本発明によれば、半導体層の抵抗率を支持基板の抵抗率よりも低くすることにより、支持基板内におけるノイズ伝達の低減を図った半導体集積回路を、従来のデバイス・プロセスのプラットフォームを変更することなく作製することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る半導体集積回路を示す断面図である。

【図2】

横軸に支持基板の抵抗率をとり、縦軸にこの支持基板内におけるノイズの伝播特性をとって、支持基板の抵抗率がノイズの伝達に及ぼす影響を示すグラフ図である。

【図3】

従来のアナログ／デジタル混在型集積回路を示す断面図である。

【図4】

(a) 及び (b) はこの従来のアナログ／デジタル混在型集積回路を示す平面図及び断面図である。

【符号の説明】

- 1；半導体集積回路
- 2；P型バルク基板

3 ; P 型エピタキシャル層

4 ; 半導体基板

5 ; デジタル部

5 a ; p ⁺ 拡散層

6 ; アナログ部

6 a ; p ⁺ 拡散層

7 ; 素子分離領域

8 ; ノイズ

1 0 1 ; P 型半導体基板

1 0 2 ; デジタル部

1 0 2 a ; p ⁺ 拡散層

1 0 3 ; アナログ部

1 0 3 a ; p ⁺ 拡散層

1 0 4 ; ノイズ

1 1 1 ; P 型の高抵抗基板

1 1 2、1 1 3 ; n ウエル

1 1 4 ; p ウエル

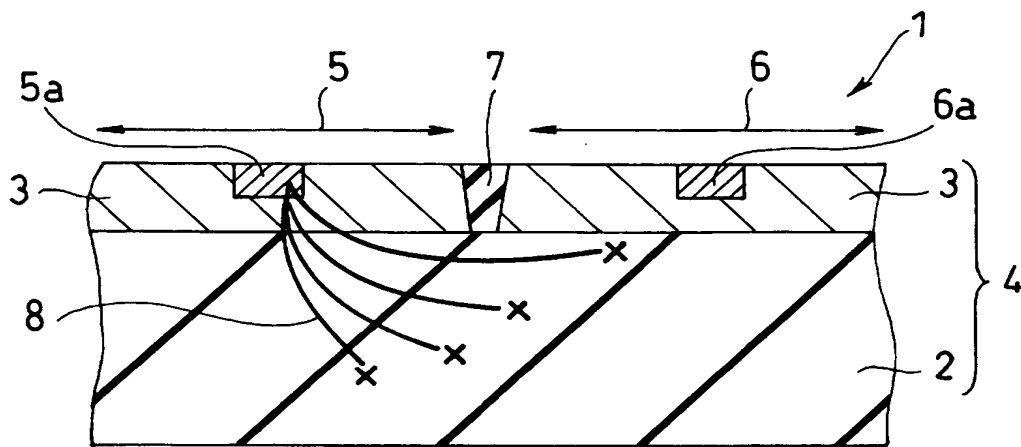
1 1 5 ; アナログ回路領域

1 1 6 ; デジタル回路領域

【書類名】

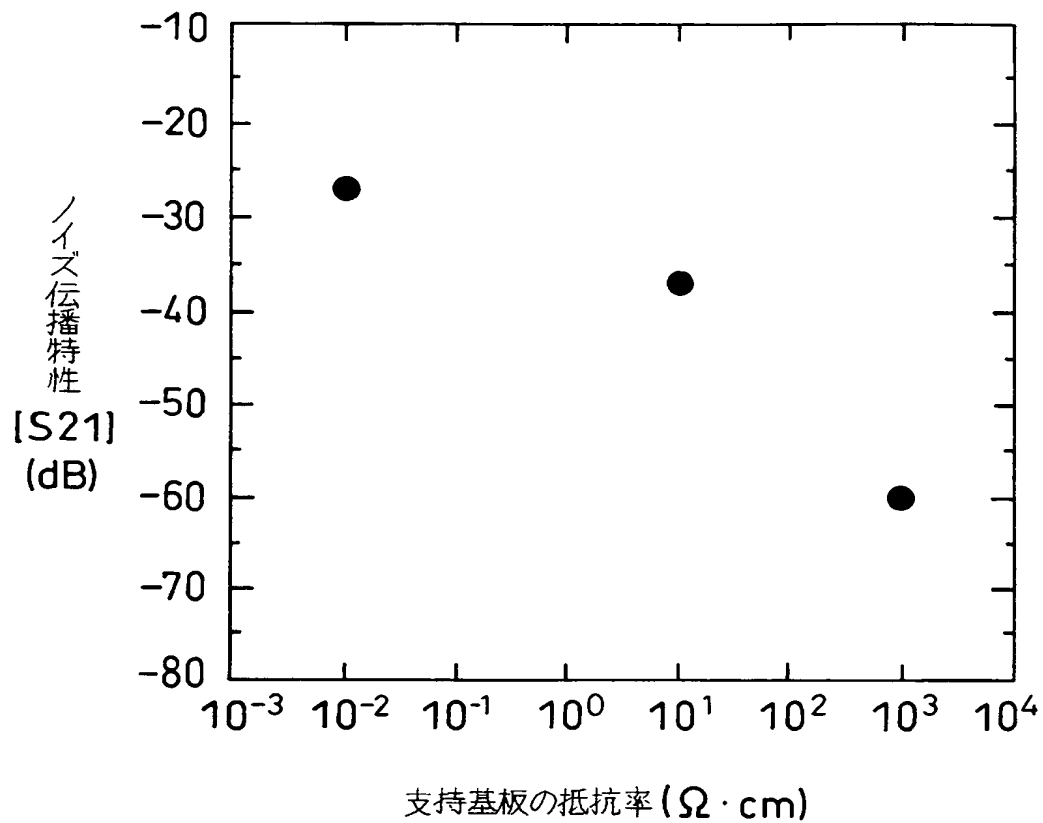
図面

【図 1】

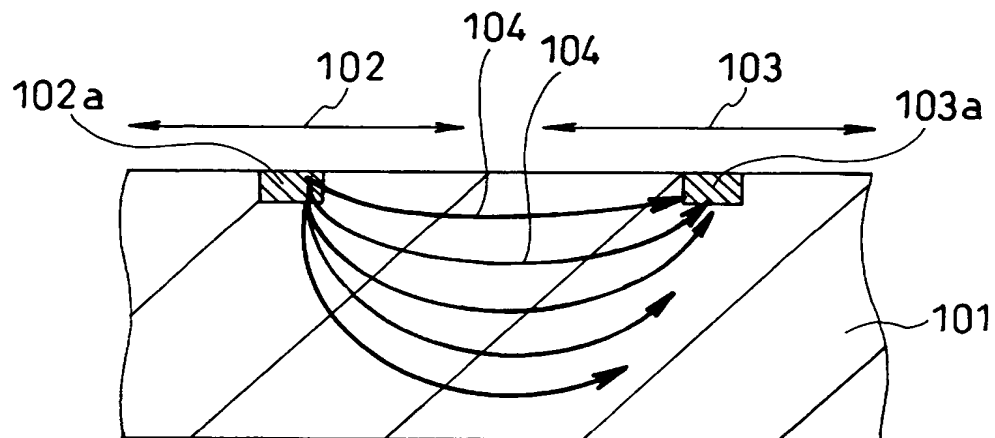


- | | | |
|-------------|-------------------------|-------------------------|
| 1 ; 半導体集積回路 | 2 ; P型バルク基板 | 3 ; P型エピタキシャル層 |
| 4 ; 半導体基板 | 5 ; デジタル部 | 5a ; p ⁺ 拡散層 |
| 6 ; アナログ部 | 6a ; p ⁺ 拡散層 | 7 ; 素子分離領域 |
| 8 ; ノイズ | | |

【図 2】



【図 3】



101 ; P型半導体基板

102 ; デジタル部

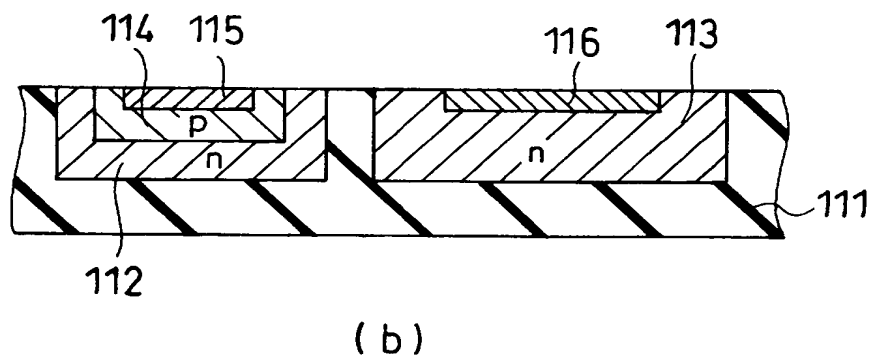
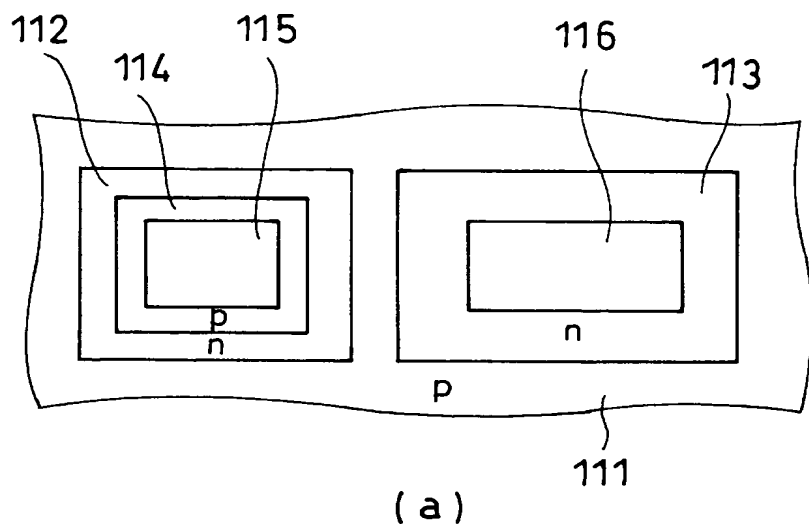
102a ; p⁺拡散層

103 ; アナログ部

103a ; p⁺拡散層

104 ; ノイズ

【図 4】



- 111 ; P型の高抵抗基板 112、113 ; nウエル
 114 ; pウエル 115 ; アナログ回路領域
 116 ; デジタル回路領域

【書類名】 要約書

【要約】

【課題】 従来のデバイス・プロセスのプラットフォームをそのまま使用して製造でき、基板を伝達するノイズを低減できる半導体集積回路及びその半導体基板を提供する。

【解決手段】 半導体集積回路 1 において、P 型バルク基板 2 上の全面に P 型エピタキシャル層 3 を設ける。P 型バルク基板 2 の抵抗率を $1000\ \Omega \cdot \text{cm}$ とし、P 型エピタキシャル層 3 の厚さを $5\ \mu\text{m}$ とし、抵抗率を $10\ \Omega \cdot \text{cm}$ とする。そして、P 型エピタキシャル層 3 にデジタル部 5 及びアナログ部 6 を相互に離隔して設け、デジタル部 5 にはデジタル回路を形成し、アナログ部 6 にはアナログ回路を形成する。また、P 型エピタキシャル層 3 におけるデジタル部 5 とアナログ部 6 との間の領域には、P 型バルク基板 2 まで到達する素子分離領域 7 を形成する。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 8 9 1 0
受付番号	5 0 2 0 1 6 5 3 7 8 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 1 日

< 認定情報・付加情報 >

【提出日】 平成14年10月31日

次頁無

特願 2 0 0 2 - 3 1 8 9 1 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 9 日
新規登録

住 所
氏 名

東京都港区芝五丁目 7 番 1 号
日本電気株式会社